一种高精度 Setup Time 测量电路

裘武鸣[1,2]，蒋剑飞[1]
（1. 上海交通大学，上海 200240；
2. 上海华力集成电路制造有限公司，上海 201203）

摘要：设计了一种数模混合的高精度建立时间测量电路，电路包含 PLL 校准周期产生模块、Delay 模块、多重校准模块和 SRAM 模块共四个模块。在 Delay 模块中使用了压控延迟设计的方案来调节模块的延时范围使其能够适应不同的测量目标，同时在设计过程中采用模块化的设计方法将各个模拟模块与数字模块结合起来用综合仿真工具进行系统仿真。使用数字电路和模拟电路相结合的设计方式，既克服了模拟电路可移植性差的问题又避免了数字实现精度不足的缺点。使用华力 HL55LP 工艺进行了流片，on wafer 测试结果表明电路可对 100ps 左右的 SRAM 建立保持时间做出准确的测量，偏差不超过±10ps。

关键词：SETUP TIME；SRAM；测量电路；高精度
中图分类号：TN402 文献标志码：A

A high-precision Setup/Hold Time measurement circuit

QIU Wuming[1,2], JIANG Jianfei[1]
(1. Shanghai Jiao Tong University, Shanghai 200240;
2. Shanghai huali microelectronic corporation, Shanghai 201203)

Abstract: A high-precision Setup Time measurement circuit is designed in digital-analog mixed method. The circuit consists of four modules: PLL calibrating period generation module, delay module, multiple calibration module and SRAM module. The VCDL method is used in the delay module to adjust the range of the module so that it can adapt to different ranges of measurement targets. In the process of design, modular design is adopted to combine analog modules with digital modules, and system simulation is carried out with integrated simulation tools. The combination of digital circuit and analog circuit design not only overcomes the problem of poor A high-precision SetuA high-precision Setup/Hold Time measurement circuitp/Hold Time measurement circuitportability of analog circuits, but also avoids the shortcomings of low-precision of digital implementation. Based on the Huali HL55LP process, the on wafer test results show that the SRAM setup/hold time of about 100ps can be accurately measured with a deviation of no more than ±10ps.

Key words: SETUP TIME；SRAM；Test circuit；High precesion

0 引言

对同步电路而言，建立时间(Setup Time)指信号输入端的数据必须在时钟沿到来之前保持一段时间，如果建立时间不够，数据将不能准确写入。随着存储器的读写速度越来越高，先进工艺节点下建立时间约在 100ps 量级，外部的测试机无法进行准确测量，需要设计专用的测试电路。

目前国内外有很多团队对建立时间测量进行了研究，包括新加坡的格罗方德公司，还有韩国、葡萄牙、印度以及美国等[1-5]。其中新加坡的格罗方德公司团队公布了一款使用定制化电路方法设计的建立时间测量电路，使用 Global Foundry 65G process 进行流片，虽然文

作者简介：裘武鸣（1991- ），女，硕士研究生，主要研究方向:大规模集成电路设计
通信联系人：蒋剑飞（1979- ），男，助理研究员，硕士生导师，主要研究方向:高速集成电路设计. E-mail: jiangjianfei@ sjtu.edu.cn

章未披露具体的测量结果，但文章中提到其测量范围为-0.6~0.6ns[1]，另外，其采用的定制化设计方法比较复杂，且工艺平台的可移植性较差。台湾的 CHANG 等[2]公布了一款利用全数字的方法设计的建立时间测量电路，其仿真测量精度分别能达到 3%和 7.5%，虽然采用全数字电路设计的可移植性好，但是测试精度比不上模拟电路。

1 电路结构与原理

针对上述研究中存在的问题，本文提出一种数模混合的高精度建立时间测量电路设计如图 1 所示。测量电路包括了 PLL 校准周期产生模块（PCPM）、Delay 模块、多重校准环节(MCM)和 SRAM 模块。PCPM 模块采用了 PLL 作为时钟源，取其中的一个周期作为 Delay 校准的时差基准，在调整到特定的 Delay 档位后在不同的输出位置点通过 DFF 端口即可检验到特定的电平信号。通过两组不同的 PLL 频率组成的二元一次方程组即可获得 Delay 模块的单位延迟时间。在实际进行测试的时候，关闭校准模块的信号端口输入，通过外部时钟作为基准的参考时钟，在经过 Delay 模块时通过设定 Delay 的时间档位即可将参考时钟的信号分成设定时间差的两个信号，分别输入到 SRAM 的 Adr/D/WE/ME 和 CLK 信号端口上。调整 Delay 时间通过观察 Q 端的输出信号是否发生变化即可获得 SETUP 的时间。

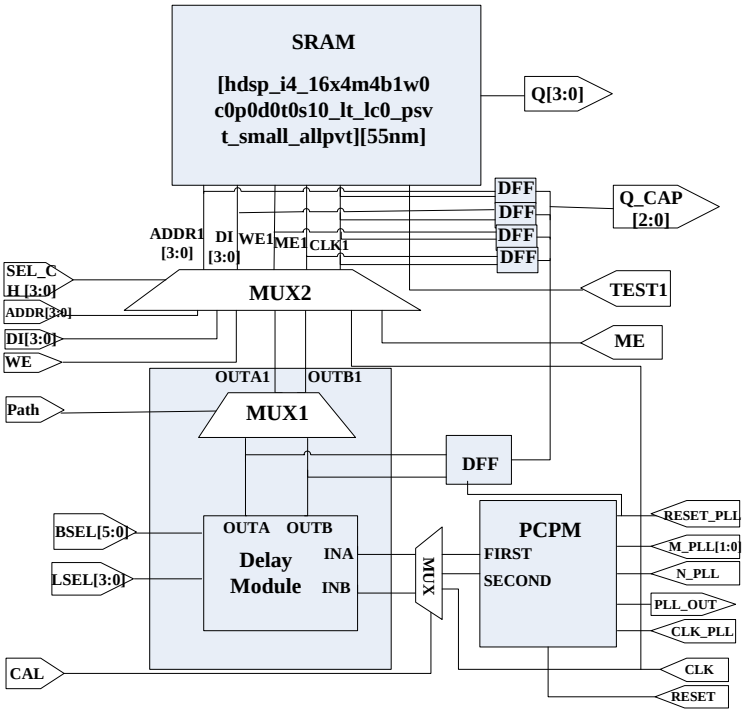


图 1 电路结构

Fig. 1 schemetic

1.1 PLL 校准周期产生模块电路

校准使用的参考时间一般采用内置振荡器（OSC）来产生[6]，但是 OSC 很难实现稳定的高频输出，因为 Jitter 较大，容易引入较大的误差。本设计的 Delay 模块每一级的粗调 delay 为 100ps 左右，一共可进行 ±32 级的调试范围，校准频率在 500MHz~1GHz 范围可以校准到

10~20 级中间范围的 Delay。所以校准所需的时钟源的输出频率必须大于 1GHz，并且 Jitter 要小。本文采用 PLL 产生校准周期，该方案具有 Jitter 更小、频率更高、精度更好的特点。该 PLL 的最高校准频率为 1.5GHz，Jitter 小于 30ps。

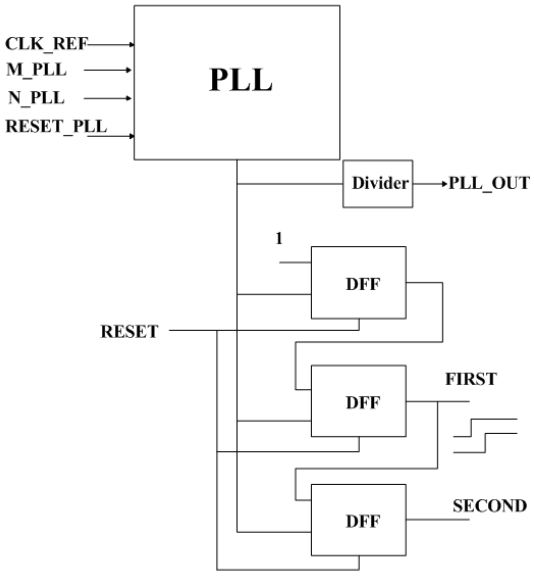


图 2 PLL 校准周期产生模块（PCPM）

Fig. 2 PLL Calibration Period produce Module (PCPM)

如图 2 所示，PLL 产生的高频时钟信号需要通过 PLL_OUT 端口确认频率是否准确。确认完毕后设置 RESET 信号开始采集 PLL 产生的时钟沿。PCPM 模块有 3 个 DFF 电路，PLL 产生的周期信号通过第一个 DFF 时会产生一个高信号输出至第二个 DFF 的输入端口。当下一个周期的上升沿产生的时候上升沿被第二个 DFF 采集输出并且作为第三个 DFF 的输入信号去采集下一个周期的上升沿。用该方式将 PLL 相邻周期的两个上升沿分别通过 FIRST/SECOND 端口输出到 Delay 模块进行校准。PLL 输出频率可以通过改变 M_PLL 和 N_PLL 设置进行调节从而改变两个上升沿的时间差。校准时需要用到两个频率的 PLL 输出，利用两个频率周期下的档位计算出每档 Delay 时间。

1.2 Delay 模块电路

Delay 模块包含粗调和精调子模块，两种方式互相配合实现高精度的测量。Delay 模块中使用了 VCDL[7]方法来调节时延范围，使其能够适应不同范围的测量目标。粗调模块采用 Buffer 作为 Delay 单元，并使用对称的方式构建，使每一级设定的粗调信号通过的系统时间一致（如图 3c 所示）。另外在每一级 Bufffer 之间输出之前再增加一级 Buffer，使粗调的每一级输出更加均匀。仿真发现增加该 Buffer 后每级间的偏差更小，Delay 曲线的波动现象消失。

传统精调 Delay 一般采用 Buffer 或者 Inverter 作为 Delay，但是难以实现 10ps 水平的高精度设计。本文采用单个 MOS 管的栅极电容作为 Delay 负载（如图 3b 所示），实现了高精度并且稳定的 Delay 调整，仿真表明其最高精度时间可以达到 5ps 左右。

精调和粗调组合起来是一条 tunable path 如图 3(a)所示，还需要再用固定的一半粗调级数组成 fixed path. 在校准的时候，当两个相差一个 PLL 周期的上升沿过来的时候，将 tunable path 的 delay 调到与一个 PLL 周期相等的时间输出端口的 DFF 会发生跳变。在测量的时候，输入端口会有两个同步上升沿输入，经过两路 delay 时，tunable path 设置的特定时间差会使两个同步信号变成具有特定时间差的异步信号，该异步信号可用于检测目标端口的特定时间差下两路输入信号是否能使电路的工作状态发生改变。

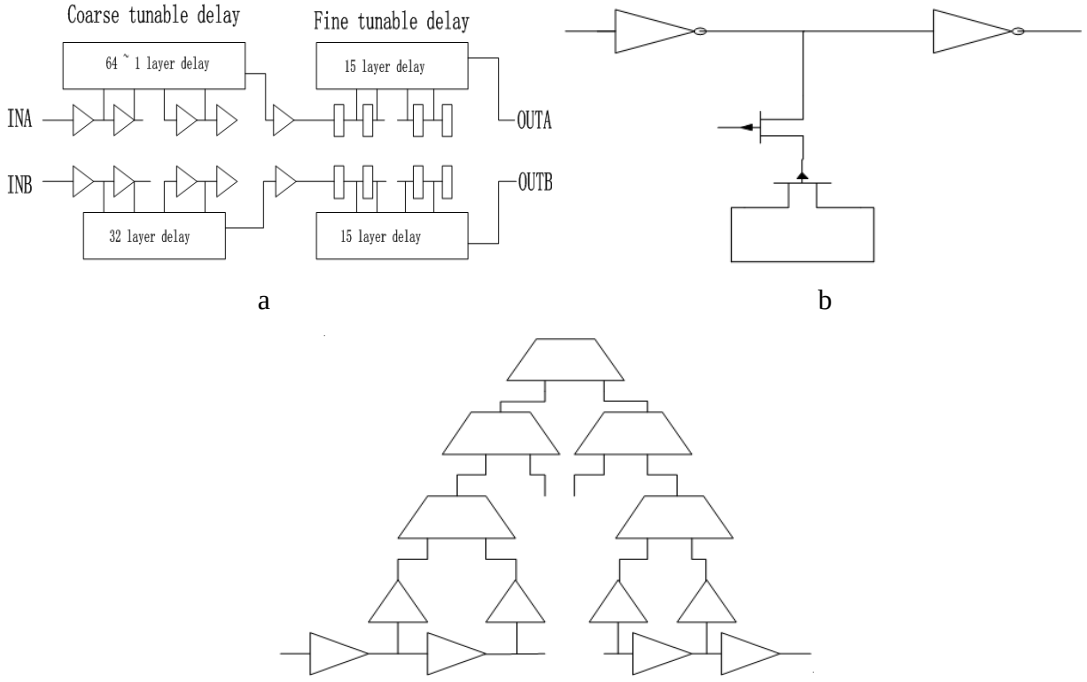


图 3 Delay Module 内的 delay path

Fig. 3 delay path of Delay Module

a—delay path；b—delay path 中精调单元；c—delay path 中的粗调单元

a-delay path; b-fine tune unit of delay path; c-coarse tune unit of delay path

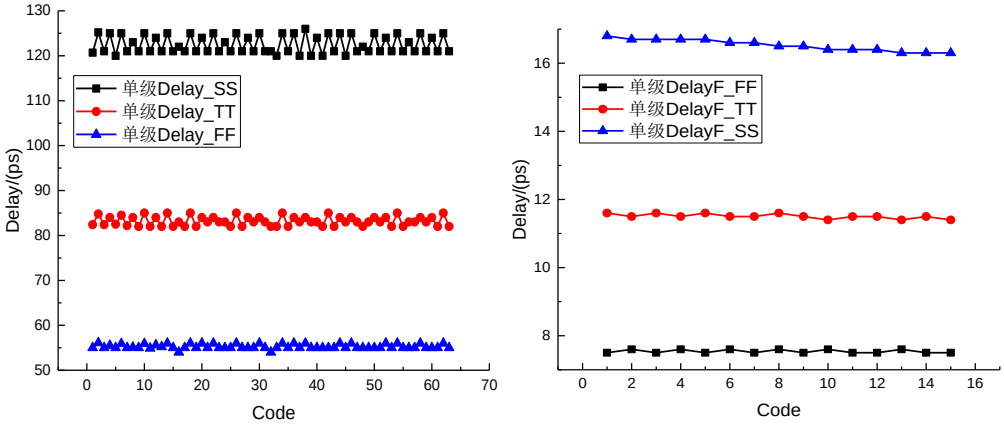
1.3 校准模块

一般的校准只在 Delay 出口端进行校准，为了去除系统误差从而得到更高的校准精度，本文在 MUX2 处的每个测试端口与 CLK 端口之间增加了 DFF，使从 PCPM 模块产生的两个上升沿再通过特定 Delay 后变成相同时间沿的上升沿，通过 DFF 产生一个高电平，从而实现校准功能。本文将 DFF 设计在所有的测试 path 最终的测试端口，将整个电路的系统误差都进行了校准，提升了了整个设计的校准精度。

2 仿真验证

PLL 校准周期产生模块、Delay 模块和多重校准模块三个模拟模块最关键的部分是 Delay 模块，Delay 模块要求各级 delay 之间的偏差不超过 3ps。本文使用了蒙特-卡罗仿真，对

TT/FF/SS 三个 corner 在相同的电压和温度下进行了仿真，图 4（a）和（b）分别是粗调和精调模块的每个 Delay 单元的仿真曲线。



a b

图 4 不同 Corner 下的 Delay

Fig.4 Delay time under different corner

a—单级粗调 Delay；b—单级精调 Delay

a-delay time of fine tune; b-delay time of coarse tune

模拟模块仿真完成后，与数字模块一起使用综合仿真工具对整个电路系统进行仿真验证。整个电路测试的工作流程如图 5 所示，先将粗调模块从中间档位开始不断增加直到观察到 SRAM 输出端口发生变化，然后将粗调档位减 1，对精调模块的档位从零开始不断增加直到 SRAM 输出端口发生变化，将此时的粗调和精调档位记为 m1 和 n1。然后通过设置通道将 clock 和测量端口的通道进行互换，重复测量的步骤，将此时的精调和粗调档位记为 m2 和 n2，将粗调和精调的档位代入即可得到建立时间。图 6 是电路内部工作时候的关键信号的状态[8]。

$$Setup\ time = \left[(m1 - m2) * T_coarse + (n1 - n2) * T_fine \right] / 2$$

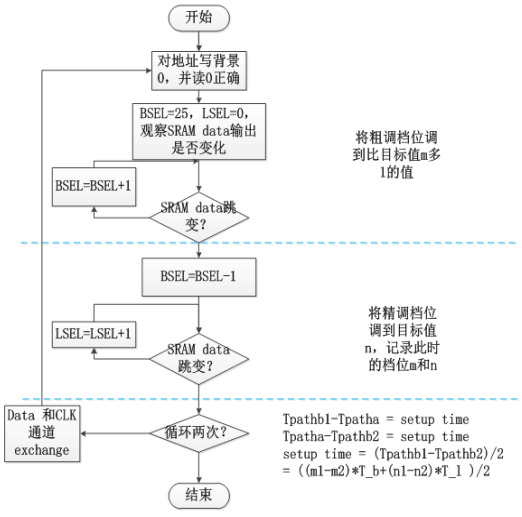


图 5 测试流程

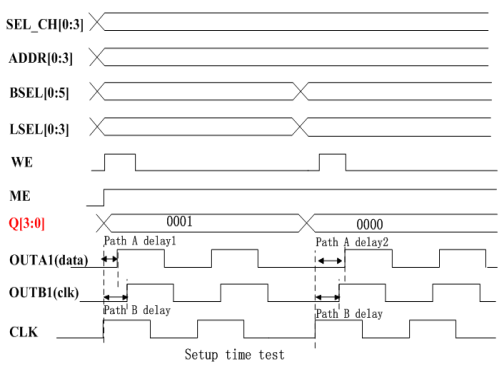


图 6 关键信号波形

Fig.5 Measurement Flow of Setup time

Fig.6 Waveform of key signals

3 流片测试

本文电路设计完成后进行了版图设计（如图 7 所示），并搭载 HLMC 55LP 平台的 MPW 进行流片。

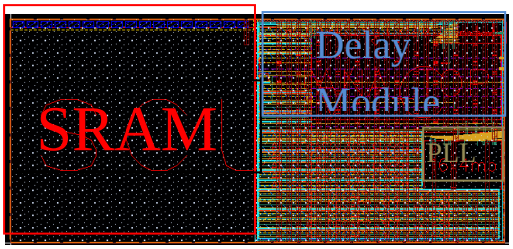


图 7 版图

Fig.7 Layout

流片完成后用 Advantest T2000 测试仪开发了相关测试程序并对 TT/FF/SS 三种工艺条件下的 Wafer 按照图 5 流程进行了测试。表 1 是对 SRAM 的 ADR0/D0/WE/ME 不同端口在 TT/FF/SS corner，1.2V，25℃条件下的测试结果。TT Corner 下 SRAM 的 address/Din/WE 端口的测量值与仿真值的偏差不超过±10ps，符合设计目标。

表 1 SRAM Setup time 实测值与仿真值

Tab. 1 Measurement and Simulated data of SRAM Setup time

PIN	*TT*/ps	*FF*/ps	*SS*/ps	*TT_Sim*/ps
ADR0	50	33.6	62.5	30
D0	62.5	53.2	69.25	78
WE	25	22.4	33.25	39.6

4 结论

本文采用数模混合设计方法实现了一种高精度 Setup Time 测量电路。流片验证表明，通过 Buffer 上增加 Loading 的方式能实现最小可调时延为 9ns 的高精度测量单元设计，同时，使用 VCDL 方法可调节 Delay 模块，以适应不同时延范围的测量目标。对粗调电路进行了特殊设计，使不同档位的 Delay 单元在仿真时达到了很高的一致性。使用专门设计的高频高精度的 PLL 作为校准模块的核心部分增加了校准精度。本文的模块化设计方法结合了数字电路和模拟电路的优点，使其便于在不同工艺平台上进行移植。该设计能够精确测出 Memory 在先进工艺平台下的 setup time，为高性能 Memory 设计提供重要的判定依据。

致谢

感谢蒋剑飞老师提供的悉心指导，感谢洪亮博士的指导和李向阳博士的指导。感谢版图人员为本文制作的版图。

[参考文献] (References)

[1] LUO Z, ZHANG Y, LAW H. Self-Calibrate two-step digital setup/hold time measurement[A].proceedings of the 2010 International Symposium on VLSI Design, Automation and Test[C].US: IEEE, 2010. 232-235.
[2] CHANG Y-C, HUANG S-Y, TZENG C-W, et al. A fully cell-based design for timing measurement of memory[A]. proceedings of the 2011 IEEE International Test Conference[C]. USA: IEEE, 2011. 8.3.
[3] VARMA S S, SHARMA A, ANAND B. An efficient methodology to characterize the TSPC flip flop setup time for static timing analysis[A]. proceedings of the 2016 13th International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design[C]. USA: IEEE. 2016.
[4] AGARWAL N. Test circuit for accurate measurement of setup/hold and access time of memories[A]. proceedings of the 2015 International Conference on Microelectronic Test Structures[C]. USA: IEEE, 2015. 204-206.
[5] Xianjie Long, Qin Wang，Jianfei Jiang. An On-Chip Circuit for Timing Measurement of SRAM IP[A]. 2017 IEEE 12th International Conference on ASIC (ASICON)[C]. USA: IEEE, 2017.
[6] LUO Z, ZHANG Y, LAW H. Self-Calibrate two-step digital setup/hold time measurement[A]. proceedings of the 2010 International Symposium on VLSI Design, Automation and Test[C]. USA: IEEE, 2010. 232-235.
[7] KUO C-H, MA Y-C. A 128-phase delay-locked loop with cyclic VCDL[A]. proceedings of the 2013 5th Asia Symposium on Quality Electronic Design[C]. USA: IEEE, 2013. 10-13.
[8] 李恒，王琴，蒋剑飞. 高精度 SRAM 端口时序参数测量电路的设计与实现[J]. 微电子学与计算机，2016，33(07)：125-129.