

# 芯片功耗与工艺参数变化： 下一代集成电路设计的两大挑战

骆祖莹

(北京师范大学电子工程系 北京 100875)  
(中国科学院计算机系统结构重点实验室 北京 100080)

**摘要** 目前 Intel、AMD、IBM 等国际著名厂商均将其集成电路生产工艺全面转入 65nm 制程,对于以高性能为目标的高端芯片设计,受到了来自成本、设计与测试复杂性等方面的诸多挑战。文中主要论述了其中两个重要而具体的挑战:高功耗和日益显著的工艺参数变化(process variation)。首先分析了纳米工艺下芯片功耗的组成、高功耗的诸多危害和目前主要的低功耗设计方法;然后分析了工艺参数变化的组成,较大工艺参数变化对电路设计的影响以及电路性能分析、功耗分析和低功耗设计的统计式算法;最后结合笔者的研究工作,简单地对下一代集成电路设计的相关研究热点进行预测。

**关键词** 集成电路(IC);纳米工艺;功耗;性能;低功耗设计;工艺参数变化  
中图分类号 TP303

## Power Consumption and Process Variations: Two Challenges to Design of Next-generation ICs

LUO Zu-Ying

(Department of Electronic Engineering, Beijing Normal University, Beijing 100875)  
(Key Laboratory of Computer System and Architecture, Chinese Academy of Sciences, Beijing 100080)

**Abstract** Famous IC vendors including Intel, AMD, IBM have scaled their IC technologies into 65nm. High-end IC design aiming at high performance has faced many challenges from cost, complexities of design and test, and etc. This paper describes two important and detail challenges: High power consumption and rampant process variations (PV) in nanometer regime. This paper includes following three parts. First, it consecutively describes components of IC power consumption, several negative influences originated from high power, and mainstream low-power design methods. Second, it consecutively describes components of process variations, their negative influences on IC design, and statistical algorithm that studies about static delay analysis (STA), power analysis, and low-power design. Last, combining with the authors' own research, this paper simply presents hot research topics on these two challenges of next-generation IC design.

**Keywords** Integrated Circuit (IC); nanometer technology; power consumption; performance; low-power design; process variation

## 1 引言

信息(IT)产业对全球经济增长的贡献越来越

大<sup>[1]</sup>,同时国内信息产业的出口也增长得非常快,对国民经济增长做出了突出的贡献。集成电路(IC)产业作为发展 IT 产业的物质基础,由于市场规模大,受到了国家的高度重视,得到了加速的发展,目前国

收稿日期:2006-02-13;修改稿收到日期:2007-01-08。本课题得到国家“九七三”重点基础研究发展规划项目基金(2005CB321604)、国家自然科学基金项目(60476014)和中国科学院计算机系统结构重点实验室开放课题资助。骆祖莹,男,1968年生,博士,副教授,研究兴趣包括纳米工艺下的晶体管级低功耗设计方法研究、低功耗设计和 IC 物理设计的统计算法研究。E-mail: luozhy@bnu.edu.cn.

内所用的 IC 已由过去几乎全部进口, 转变到目前部分自主研发和生产。

表 1 CPU 芯片(风冷工作条件)的发展趋势<sup>[1]</sup>

产品年	工艺节点	多晶硅线宽/nm	沟道长度/nm	片内时钟/MHz	集成晶体管数	供电电压/V	功耗/W
2003		107	65	2976	439	1.2	149
2004	90nm	90	53	4171	553	1.1	158
2005		80	45	5204	697	1.1	167
2006		70	40	6783	878	1.1	180
2007	65nm	65	35	9285	1106	1.1	189
2008		57	32	10972	1393	1.1	198
2009		50	28	12369	1756	1.0	198
2010	45nm	45	25	15079	2212	1.0	198

以高性能为首要设计目标的高端芯片(如 CPU)代表了 IC 产业的发展水平。从表 1 可以看出: 目前受市场占有率和利润的驱动, Intel、AMD、IBM 等国际著名厂商将其高端芯片生产工艺全面从 90nm 工艺过度到 65nm 工艺<sup>[1-2]</sup>。由于高端芯片以高性能为首要设计目标, 它具有工作频率高、结构复杂、集成度高等特点<sup>[2-5]</sup>, 所以下一代 IC 的发展之路还面临诸多挑战, 从大的方面来看, 高昂的投入、环境保护、设计与测试复杂性的大幅增加等<sup>[1,3]</sup>, 构成了一些宏观的挑战; 从小的方面来看, 功耗控制、温度控制、信号完整性控制、工艺参数变化控制等, 则构成了众多的具体挑战<sup>[1-5]</sup>; 需要从电子、计算机、数学、物理、化学等学科进行研究, 特别是需要进行多学科交叉研究<sup>[1-2]</sup>。因此, 下一代集成电路的研究工作具有非常巨大的应用价值和理论意义。

设计自动化会议(DAC)和国际计算机辅助设计会议(ICCAD)作为 IC 产业的顶级会议, 每年举办一次, 反映了 IC 产业的最新研究动态。从近两年 DAC 和 ICCAD 会议所发表的文章来看, 低功耗设计<sup>[4-5]</sup>和工艺参数变化<sup>[6-8]</sup>对集成电路设计的影响是 IC 产业的两个最大研究热点, 本文主要围绕这两个热点问题展开论述, 论述顺序是问题的产生、影响、主流的解决方法。考虑到时效性, 本文多引用会议论文。为了更为全面地对论题进行评述, 除上述两个会议外, 本文还大量引用了相关的专业会议文献, 如国际固态电路会议(ISSCC)、国际电路与系统会议(ICSAS)、国际低功耗电子与设计会议(ISLPED)、国际质量电子设计会议(ISQED)、国际 VLSI 技术与 VLSI 电路会议、亚洲与南太平洋设计自动化会议(ASPDAC)。

本文第 2 节专门论述高功耗对下一代集成电路的挑战, 分析了纳米工艺下芯片功耗的组成<sup>[9-14]</sup>、高功耗的诸多危害<sup>[15-20]</sup>, 并给出目前主要的低功耗设计方法<sup>[21-41]</sup>; 第 3 节专门论述日益显著的工艺参数变

化对下一代集成电路的挑战, 分析了工艺参数变化的组成<sup>[6-8,42]</sup>及如何在片测量<sup>[43-44]</sup>, 较大工艺参数变化对电路性能分析<sup>[45-51]</sup>、功耗分析<sup>[51-55]</sup>及低功耗设计的影响<sup>[56-63]</sup>, 并对目前主流的统计式方法进行评述; 第 4 节结合笔者的研究工作<sup>[3,9,11-12,15-17,30,31,64-65]</sup>, 简单地对今后关于下一代集成电路设计的相关研究热点进行预测; 第 5 节总结全文。

## 2 高功耗对下一代集成电路的挑战

本节首先介绍芯片功耗的组成, 指出芯片功耗包括电路状态变化所产生的动态功耗<sup>[9-10]</sup>和由漏电流产生的静态功耗<sup>[11-14]</sup>两部分, 并进一步分析了动态和静态功耗的具体组成; 然后分析了随着工艺的提高、芯片功耗不断增加的趋势<sup>[4-5]</sup>; 接着分析了高功耗所带来的各种危害<sup>[15-20]</sup>; 最后给出了主流的低功耗设计方法<sup>[21-41]</sup>。

### 2.1 集成电路功耗组成

与 TTL 和简单的 MOS 电路相比, 目前集成电路所采用的 CMOS 电路是非常省电的, 这是由于它成对地采用 PMOS 管和 NMOS 管, 当一个 PMOS 管导通时, 其对应的 NMOS 管必然截止; 或当一个 NMOS 管导通时, 其对应的 PMOS 管同样必然截止。因此当 CMOS 电路状态稳定后, 整个电路不存在工作电流, 仅当电路工作状态发生变化时, 才有为时短暂的电流  $I_{\text{active}}$  出现, 所以 CMOS 电路是非常省电的。由电路工作状态发生变化所产生的电路功耗称为动态功耗  $P_{\text{active}} = V_{\text{DD}} \times I_{\text{active}}$  (其中  $V_{\text{DD}}$  是供电电压)。

$I_{\text{active}}$  由三部分组成: (1) 当电路正常逻辑操作时, 由于电路状态的改变, 电路中电容的充、放电所需要的工作电流  $I_{\text{ac-c}}$ , 它是必然产生的<sup>[9]</sup>; (2) 当电路状态改变时, 某些配对 PMOS 管和 NMOS 管的导通状态产生重叠, 从而在电源线和地线之间形成

一些为时更为短暂的不必要通路,就会产生短路电流  $I_{ac-s}^{[10]}$ ; (3) 在电路工作时,由于不同路径的时延必然存在差异,从而在一些逻辑门的输出信号上产生一些毛刺,称为电路的竞争冒险(glitch),它们所产生的电流称竞争冒险电流  $I_{ac-g}^{[9]}$ . 由于在设计和生产中不断进行改进,后两种电流在  $I_{active}$  中所占的比例还是比较小的,可以忽略,所以在功耗分析时,  $I_{active}$  近似等于  $I_{ac-c}$ . 这样我们就可以列出动态功耗  $P_{active}$  的计算公式<sup>[8-9]</sup>

$$P_{active} = \sum_{g=0}^{NG0} \left\{ \sum_{i=1}^{nfi} [\beta(g, i) f V_{DD}^2 (C_{load}(g) + C_{internal}(g, i))] \right\} \quad (1)$$

式中  $NG0$  是电路中逻辑门的数目,  $f$  是工作频率. 对于其中一个逻辑门  $g$  来说,  $nfi$  是它的输入端数目,  $\beta(g, i)$  是由第  $i$  个输入在逻辑门输出端上产生上跳变的概率,  $C_{load}(g)$  是此门的负载电容,  $C_{internal}(g, i)$  是当第  $i$  个输入端在逻辑门输出端上产生上跳变时的逻辑门内部电容.

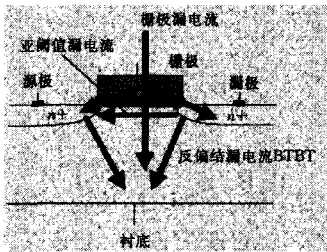


图1 MOS管3种漏电流形成机制<sup>[14]</sup>

当一个 CMOS 逻辑门工作状态稳定后,从理论上讲它不会产生任何电流,但随着工艺的不断提高,实际上还是存在漏电流  $I_{leakage}$ ,其所产生的电路功耗称为静态功耗  $P_{leakage} = V_{DD} \times I_{leakage}^{[11-14]}$ . 如图1所示,  $I_{leakage}$  由三部分组成: (1) 当栅源电压  $V_{GS}$  低于阈值电压  $V_{TH}$  时,源漏极之间沟道中所残留的电流,称为亚阈值漏电流  $I_{Lk-s}^{[11-12]}$ ; (2) 当栅极与沟道之间的绝缘层(一般是二氧化硅)厚度  $T_{ox}$  小于20埃后,

绝缘层仅有几层原子的厚度,绝缘层过薄使得栅极绝缘层的绝缘效果急速变差,在栅极与源、漏、衬底之间就会出现漏电流,称为栅极漏电流  $I_{Lk-g}^{[13-14]}$ ; (3) 进入纳米工艺时代后,器件的量子效应开始显现出来,源、漏极和衬底之间,就会出现反偏结 BTBT 漏电流 (reverse biased drain-substrate and source-substrate junction Band-To-Band-Tunneling (BTBT) leakage)  $I_{Lk-b}^{[13-14]}$ .

目前研究最多的是亚阈值漏电流,这是由于它难于避免,同时很多参数都会对它产生影响. 随着工艺的提高,绝缘层厚度  $T_{ox}$  小于20埃后,由于每减小2埃,  $I_{Lk-g}$  增加10倍<sup>[13-14]</sup>,所以对栅极漏电流的研究近两年也有一些,但今后数年内,随着绝缘效果更好材料 (high- $\kappa$ ) 的投入使用,这个问题就会得到较好的解决<sup>[1,13-14]</sup>. 由于无法进行简单的建模, BTBT 漏电流的研究是最少的. 从电流大小来看,一般的顺序是:  $I_{Lk-s} > I_{Lk-g} > I_{Lk-b}^{[12-13]}$ ; 从对温度升高的敏感度来看,其顺序则变成  $I_{Lk-b} > I_{Lk-s} > I_{Lk-g}^{[13-14]}$ . 仅当考虑亚阈值漏电流时, CMOS 电路的静态功耗可以用下式进行表示

$$P_{leakage} = \sum_{g=0}^{NG0} \left\{ \sum_{i=1}^{nt(g)} [\sigma(g, i) P_{DLS}(g, i)] \right\} \quad (2)$$

式中逻辑门  $g$  由  $nt(g)$  个 MOS 管组成,对于第  $i$  个 MOS 管来说,  $\sigma(g, i)$ ,  $P_{DLS}(g, i)$  分别是此管所对应的漏电流决定态 (dominant-leakage-state) 概率和此决定态所对应的漏电流,文献[35]指出决定态漏电流占整个漏电流的95%. 一般可以采用模拟方法快速计算出以上两式中的概率参量  $\sigma(g, i)$  和  $\beta(g, i)$ .

2.2 集成电路功耗的变化趋势

图2是 Intel 公司 CPU 动态功耗与静态功耗的变化趋势图<sup>[4]</sup>,图中 SD Leakage Power 指的是源漏之间亚阈值漏电流所产生的静态功耗. 新工艺的采用必然提高芯片的集成度,当集成度按传统习惯提高100% (2X Tr Growth) 时,无色的柱分别表示 Intel 公司 CPU 动态功耗与静态功耗的变化趋势;当

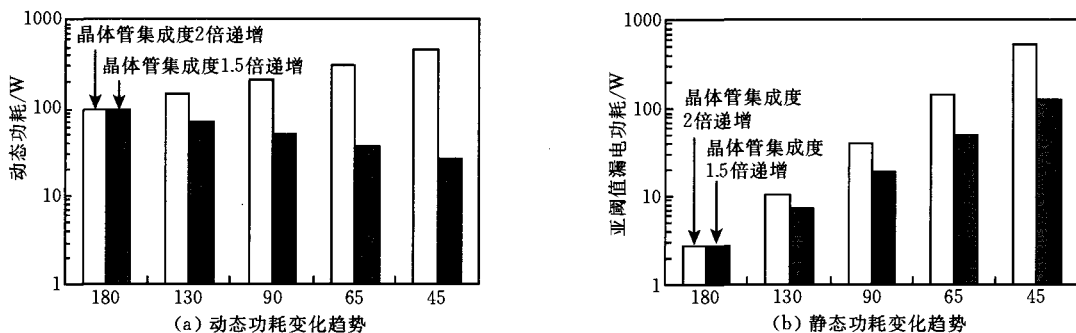


图2 Intel 公司 CPU 单位面积功耗 ( $W/cm^2$ ) 的变化趋势<sup>[3]</sup>

假设集成度提高 50% (1.5X Tr Growth) 时, 深色的柱分别表示 Intel 公司 CPU 动态功耗与静态功耗的变化趋势。即使新工艺集成度以假想的 50% 提高时, 尽管动态功耗不断下降, 但静态功耗却在迅速提高, 结果还会使 CPU 的总功耗不断提高的。如果集成度以传统习惯的 100% 提高时, 静态功耗在 CPU 功耗中比重也会越来越大, 当达到 45nm 工艺附近时, 静态功耗与动态功耗基本持平。

如图 3 所示, 来自 IBM 公司的数据<sup>[5]</sup> 也表明: 随着工艺的提高, 静态功耗在芯片功耗中比重越来越大, 当达到 45nm 工艺附近, 静态功耗与动态功耗基本持平。因此近年来, 关于动态功耗分析与优化的成果越来越少<sup>[9-10]</sup>, 相反关于静态功耗分析与优化的成果则越来越多<sup>[21-41, 56-63]</sup>。

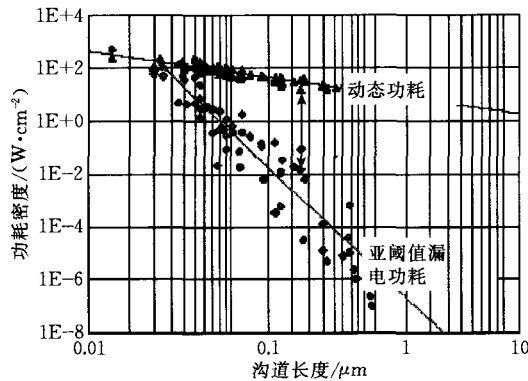


图 3 IBM 公司芯片单位面积功耗 ( $W/cm^2$ ) 的变化趋势<sup>[4]</sup>

### 2.3 高功耗对 IC 设计的负面影响

如表 1 所示, 随着工艺的提高, 芯片工作频率不断提高, 芯片功耗不断增加。高功耗对集成电路设计的约束越来越大<sup>[1, 3-5]</sup>, 目前在高端芯片设计中, 功耗约束排在性能之后, 名列第二; 而手持设备中, 功耗约束已成为芯片设计的首要约束<sup>[1]</sup>。总结起来, 高功耗对 IC 设计的负面影响可以简单归结为如下的几条, 更具体而直观的介绍可以参看文献<sup>[3]</sup>。

(1) 对 IC 供电网络的负面影响<sup>[15-18]</sup>。由于 IC 供电电压随工艺提高而不断降低, 所以不断增大的功耗, 则意味着 IC 供电网络所提供的工作电流是急速增大的, 这就大大提高了 IC 供电网络的设计难度。

(2) 对 IC 封装及散热设备的负面影响<sup>[19]</sup>。不断增大的功耗, 意味着 IC 的发热量越来越大, 就要求有好的封装材料, 以利于散热, 从而提高封装成本, 事实上, 目前封装成本在 IC 制造成本中占有比较大的比重。

(3) 对 IC 性能的负面影响<sup>[20]</sup>。这是高端芯片设

计中关心高功耗的原因所在, 可以想象, 功耗越大, 电路额定供电电压就越难保证, 当工作电压降低时, 逻辑门的驱动能力就会下降, 电路时延就会增加, 电路的时延故障就会增加, 其结果就是降低 IC 的性能。

(4) 对 IC 测试的负面影响。除第 3 条中列出的时延故障增加的问题外, 功耗越大, 芯片的工作温度就越难控制, 当工作温度增高后, 一些制造所产生的物理缺陷就会显现出来, 转化为逻辑故障, 这都将加大 IC 测试的难度。

(5) 对 IC 设计复杂度的负面影响<sup>[3-5]</sup>。为了消除以上的负面影响, 就必须进行低功耗设计。和正常设计相比, 低功耗设计的设计复杂度增加得非常显著。

### 2.4 集成电路低功耗设计的主流方法

动态功耗优化方面: (a) 多电源供电方法, 即对芯片中高性能模块供高电压、低性能模块供低电压, 目前在手持设备芯片设计中, 这种方法用得比较多<sup>[5, 21]</sup>。(b) 时钟屏蔽方法<sup>[22]</sup>。目前芯片的时钟信号要消耗掉 40~50% 的动态功耗, 所以在芯片工作中, 将空闲模块内的时钟信号屏蔽掉, 可以节约大量的动态功耗。(c) 动态功耗管理方法, 如动态变频方法<sup>[23-25]</sup>, 即在芯片工作负荷较小时, 将降低工作频率和供电电压, 以达到降低动态功耗的目的; 进而在工作温度超限时, 进行自动降频, 达到芯片保护的目<sup>[25]</sup>。(d) 多核并行计算技术<sup>[1]</sup>, 可以在满足同样性能的前提下, 通过多核并行分担工作负荷, 因此可以使用较低的工作频率, 同样可以达到降低动态功耗的目的。事实上, 由于功耗的限制, 已无法通过提高频率来达到提高性能的目的, 目前主流 CPU 的最高工作频率在 3.5GHz 附近徘徊已有二三年了, 迫使主流 CPU 厂家通过多核并行的方法来获取更高的性能。

静态功耗优化方面的研究非常多<sup>[26-41]</sup>, 包括亚阈值漏电流<sup>[26-36]</sup>和栅极漏电流的优化<sup>[37-38]</sup>, 其中亚阈值漏电流的静态功耗优化又分为电路运行中的实时优化技术<sup>[27-29]</sup>和设计制造中的非实时优化技术<sup>[30-36]</sup>。(1) 在栅极漏电流的优化方面, 主要有两种技术: (a) 输入端重排序法<sup>[37]</sup>, 使产生栅极漏电流的概率最小。(b) 多(双)  $T_{ox}$  优化方法<sup>[38]</sup>, 在不(少)影响电路性能的前提下, 将近可能多 MOS 管选用厚的栅极绝缘层  $T_{ox}$ 。(2) 在亚阈值漏电流的实时优化方面, 主要有两种技术: (a) 反偏衬底电压法<sup>[27-29]</sup>, 在高性能电路模块不工作时, 加上反偏衬

底电压,可以降低亚阈值漏电流。(b) 最小漏电流输入向量法<sup>[30]</sup>,在电路模块不工作时,加上产生最小漏电流的输入向量。(3) 在亚阈值漏电流的非实时优化方面,主要有以下几种技术:(a) 多(双)阈值电压优化方法<sup>[31-32]</sup>,用低阈值电压降低时延,用高阈值电压降低漏电流。(b) 沟道宽度调节法<sup>[33]</sup>,主要目的是增大宽度以达到增加驱动能力,缺点是:增大输入端所连逻辑门的负载;减小宽度以达到降低亚阈值漏电流。(c) 沟道长度调节法<sup>[34]</sup>,沟道长度增加,可以有效地减小亚阈值漏电流,缺点是:显著增大逻辑门的时间延迟。(d) 组合优化方法<sup>[35-36]</sup>,可以用以上 3 种手段进行组合,以获得更好的优化效果。

在芯片总功耗优化方面:(a) 动态功耗和静态功耗简单累加方法<sup>[39]</sup>,在优化中,将动态功耗和静态功耗之和、作为优化目标。(b) 数学规划方法<sup>[40]</sup>,即采用以上所列的优化手段,以优化总功耗为目标,采用数学规划方法进行优化,缺点是算法复杂度比较大。(c) 电源屏蔽方法<sup>[41]</sup>,在芯片工作时,将空闲模块内的电源屏蔽掉,彻底达到优化功耗的目的,但这种方法的关键是如何设计最优化的电源开关管;但这种方法不适用于对于空闲-工作状态切换比较频繁的应用,其原因在于控制电源开关管的开关会产生较多的动态功耗。

静态功耗的非实时优化算法,其一般的工作原理如下:在电路设计中,为了提高处于电路时延关键路径上逻辑门的性能,必须增大沟道宽度、降低沟道长度、或降低阈值电压,其代价是增加静态功耗;而对于处于时延非关键路径上的逻辑门,由于它们具有较大的延迟富裕度(slack),所以设计人员以增加时延为代价,通过降低沟道宽度、延长沟道长度、或提高阈值电压的手段,来降低电路的静态功耗;集成电路静态功耗优化方法,就是通过调节沟道宽度、沟道长度和阈值电压,来平衡(Trade-off)电路性能与功耗。因此,在这类优化设计中,必须对电路时延、功耗进行较精确的估计,所以 IC 低功耗设计研究实际上包括 3 方面的子研究内容:静态定时分析(STA)、功耗分析和低功耗优化<sup>[64]</sup>。

### 3 工艺参数变化对下一代集成电路的挑战

面向制造的设计(Design For Manufacturing, DFM)或可制造性设计是一个大的研究领域。在纳米工艺时代,DFM 的一个主要研究方向是:如何削

弱工艺参数变化(Process Variation, PV)对 IC 设计的影响<sup>[1,42]</sup>。本部分首先介绍工艺参数变化  $\delta_{\text{total}}$  的组成,指出它由芯片间(Inter-Die)工艺参数变化  $\delta_{\text{inter}}$  和芯片内(Intra-Die)工艺参数变化  $\delta_{\text{intra}}$  的两部分组成<sup>[6-8]</sup>;再分析它对 IC 设计的影响;然后分别就它对静态定时分析、功耗分析和低功耗优化的影响及相关的主流研究展开论述。

#### 3.1 工艺参数变化的组成

由于生产工艺的不完美,不同炉之间(Lot to Lot),不同晶片之间(Wafer to Wafer)以及不同芯片之间(Die to Die)都存在差异,都造成了芯片间工艺参数变化  $\delta_{\text{inter}}$ <sup>[7]</sup>, $\delta_{\text{inter}}$  在芯片内具有全相关性,以沟道长度  $L$  为例,当芯片间  $L$  变大时,片上所有 MOS 管的  $L$  都变大。随着工艺的提高,受到光学衍射效应等因素的影响<sup>[42]</sup>,芯片内的工艺参数也发生了变化,被称为芯片内工艺参数变化  $\delta_{\text{intra}}$ <sup>[7-8]</sup>。 $\delta_{\text{intra}}$  还可以进一步分为空间相关和完全随机的两种芯片内工艺参数变化。

研究表明:随着工艺的提高, $\delta_{\text{inter}}$  和  $\delta_{\text{intra}}$  均显著增加。对于 90nm 以前的工艺, $\delta_{\text{inter}} > \delta_{\text{intra}}$ ;对于 65nm 以后的工艺, $\delta_{\text{inter}} < \delta_{\text{intra}}$ ;这主要是由于造成  $\delta_{\text{intra}}$  的因素难于控制,如光学衍射效应<sup>[7-8,42]</sup>。同时为了测量工艺参数变化的大小,目前已出现了在片传感器<sup>[43-44]</sup>。在 EDA 研究中,一般将工艺参数变化模型化为正态分布<sup>[45-49]</sup>,最近对非正态分布也取得了不少的研究成果<sup>[50-51]</sup>。

所有工艺参数均会产生变化,但目前研究比较多的参数有:MOS 管的阈值电压、沟道宽度和长度等,信号线的宽度、厚度、方块电阻等<sup>[6-8]</sup>。因此工艺参数变化对集成电路设计的影响是多方面的,如电路时延、功耗、信号完整性等,其中对时延和功耗的影响,会对 IC 低功耗设计产生直接的影响,迫使电路时延分析、功耗分析及低功耗设计的研究,从确定性研究全面转向统计式的算法研究<sup>[6-8,45-63]</sup>。

#### 3.2 工艺参数变化对集成电路设计的影响

从前一部分的分析可以看出,在纳米工艺时代,高端芯片都必须进行低功耗设计,才能满足功耗要求。如果不考虑工艺参数变化对低功耗设计的影响,在电路的低功耗设计中,通过调节沟道宽度、长度及阈值电压等手段,提高优化前电路中低性能路径的性能,使电路达到事先设定的性能,其结果就是:在事先设定的性能处,形成了一堵路径墙<sup>[56]</sup>,如图 4 所示。当考虑工艺参数变化后,这堵路径墙中路径的性能就会产生变化,形成一个性能分布,因此必然有

近一半路径的性能达不到要求,影响设计的成品率。

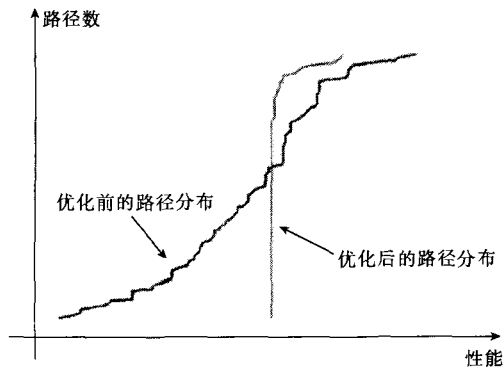


图 4 低功耗设计先、后电路中路径的性能分布图<sup>[56]</sup>

### 3.3 工艺参数变化对电路时延分析的影响及相关研究

当影响时延的工艺参数变化时,电路时延也会产生变化.最初的研究仅考虑芯片间工艺参数变化 $\delta_{\text{inter}}$ ,所以就利用 $\delta_{\text{inter}}$ 完全相关的性质,采用最差( $3\sigma$ )电路时延、来评价电路时延的变化.随着芯片内工艺参数变化 $\delta_{\text{intra}}$ 变得日益显著,如将 $\delta_{\text{intra}}$ 假设为完全相关,进行最差( $3\sigma$ )电路时延分析,其结果非常保守,增大设计成本<sup>[45-51]</sup>,于是随后的方法对完全随机的 $\delta_{\text{intra}}$ 进行研究<sup>[45-46,48]</sup>,假设 $\delta_{\text{intra}}$ 符合正态分布,逻辑门时延 $D$ 计算采用线性模型进行拟合,

$$D = D_0 + a_1 \delta_{\text{intra}} \quad (3)$$

式中 $D_0$ 是 $\delta_{\text{intra}}=0$ 时的逻辑门时延, $a_1$ 是线性拟合系数.在一个逻辑门时延分析中,先用“加”操作计算此逻辑门各个输入信号所产生的时延,然后用“取大”操作计算出此逻辑门输出信号的时延,并假设“取大”操作的计算结果也符合正态分布.

随着生产工艺进入90、65nm时代,工艺参数变化 $\delta_{\text{intra}}$ 变得更大,再采用线性模型进行电路时延的统计分析,会产生较大的误差,因此最近的研究开始采用二次模型进行拟合<sup>[50]</sup>,

$$D = D_0 + a_1 \delta_{\text{intra}} + a_2 \delta_{\text{intra}}^2 \quad (4)$$

式中 $a_2$ 为二次项拟合系数,并对非正态分布进行统计分析<sup>[50-51]</sup>.

由于 $\delta_{\text{intra}}$ 包括空间相关的变化分量和完全随机的变化分量,仅将 $\delta_{\text{intra}}$ 当作完全随机的变化,必将产生乐观的统计结果,影响产品的成品率<sup>[47-48]</sup>,所以最近研究的另一个方向是:将空间相关的变化分量也包括进来,同时为了扩大应用范围,还可以将芯片间工艺参数变化 $\delta_{\text{inter}}$ 作为相关系数为1的空间相关项,进行全工艺参数变化的电路时延的统计分析<sup>[47-51]</sup>.

### 3.4 工艺参数变化对电路功耗分析的影响及相关研究

由于工艺参数变化对静态功耗的影响比较大,所以这方面的研究都集中在静态功耗的统计分析领域<sup>[52-55]</sup>.与工艺参数变化对电路时延分析影响的研究趋势相同,在工艺参数变化对电路功耗分析影响的研究中,最初的研究也是仅考虑芯片间工艺参数变化 $\delta_{\text{inter}}$ ,所以就利用 $\delta_{\text{inter}}$ 完全相关的性质,采用最差( $3\sigma$ )电路功耗、来评价电路功耗的变化;再对完全随机的 $\delta_{\text{intra}}$ 进行研究,假设 $\delta_{\text{intra}}$ 符合正态分布,逻辑门功耗 $P$ 计算采用指数线性模型进行拟合<sup>[52]</sup>,

$$P = P_0 e^{b_1 \delta_{\text{intra}}} \quad (5)$$

式中 $P_0$ 是 $\delta_{\text{intra}}=0$ 时的逻辑门功耗, $b_1$ 为线性拟合系数.在电路总功耗计算中,可以近似地将每个门的功耗变化作为正态分布,直接进行正态分布变量相加.随着生产工艺进入90、65nm时代,工艺参数变化 $\delta_{\text{intra}}$ 变得更大,再采用指数线性模型进行电路功耗的统计分析,会产生较大的误差,因此最近的研究开始采用指数二次模型进行拟合<sup>[53]</sup>,

$$P = P_0 e^{b_1 \delta_{\text{intra}} + b_2 \delta_{\text{intra}}^2} \quad (6)$$

式中 $b_2$ 为二次项拟合系数,并对非正态分布进行统计分析.最近研究的另一个方向是:将空间相关的变化分量也包括进来,同时还可以将芯片间工艺参数变化 $\delta_{\text{inter}}$ 包括进来,进行全工艺参数变化的电路功耗的统计分析<sup>[55]</sup>.

### 3.5 工艺参数变化对电路低功耗设计的影响及相关研究

在低功耗设计中,必须对电路时延和功耗进行较为精确的分析,因此与工艺参数变化对电路时延和功耗分析影响的研究趋势所不同的是:工艺参数变化对低功耗设计影响的研究是相对滞后的.另一个主要原因在于:电路时延和功耗统计分析方法的复杂度相对比较大,无法用到本来复杂度就比较大的低功耗设计中.

由于受到计算复杂度的制约,最初的研究仅考虑芯片间工艺参数变化 $\delta_{\text{inter}}$ ,所以就利用 $\delta_{\text{inter}}$ 完全相关的性质,采用最差( $3\sigma$ )电路时延和功耗作为电路优化的依据.随着芯片内工艺参数变化 $\delta_{\text{intra}}$ 变得日益显著,目前统计式低功耗设计方法主要对 $\delta_{\text{intra}}$ 进行研究,假设 $\delta_{\text{intra}}$ 符合正态分布,采用线性模型分析电路时延,采用指数线性模型分析电路功耗,并依据统计分析结果进行电路优化<sup>[56-63]</sup>.在此方面最好的研究成果中<sup>[60]</sup>,不仅考虑时延和功耗的统计结果,而且还将逻辑门的调节灵敏度作为统计量进

行考虑.

最新的统计式低功耗设计方法开始将空间相关的变化分量也包括进来,进行全工艺参数变化的电路低功耗设计<sup>[62-63]</sup>,受制于高计算复杂度,必须用 5 个小时来优化 C3540 电路<sup>[62]</sup>,所以仅能优化规模较小的电路.因此,如何提高电路时延和功耗统计分析的效率,不仅是电路时延和功耗统计分析领域的研究方向,也是电路低功耗设计统计方法是否实用化的关键.

#### 4 下一代集成电路设计的研究方向

纳米工艺下,功耗已成为芯片设计的主要约束之一,产业界迫切需要一些优化效果更好的低功耗设计辅助工具软件,这些软件必须考虑工艺参数变化对低功耗设计的影响.由于在晶体管级,可以对逻辑门中任意一个晶体管的参数进行调节,如晶体管沟道长度、宽度、阈值电压,所以与逻辑门级低功耗设计方法相比,晶体管级低功耗设计方法的优化粒度更小,功耗优化效果更好<sup>[32-33]</sup>,我们的实验数据<sup>[64]</sup>表明:在同样的性能约束下,比较逻辑门级的优化结果 S1 和晶体管级的优化结果 S2, S2 的静态功耗比 S1 少 15~45%.但由于在晶体管级,难以对电路的性能与功耗进行高效模拟,所以目前几乎所有的低功耗设计方法研究都集中在逻辑门级<sup>[21-31,34-40,56-63]</sup>,而晶体管级的低功耗设计方法研究几乎是一个空白<sup>[32-33]</sup>,现有晶体管级方法只能进行单一的参数调节,如阈值电压<sup>[32]</sup>、沟道宽度<sup>[33]</sup>.鉴于晶体管级低功耗设计方法可以获得非常好的优化效果,而在纳米工艺时代,低功耗成为主要的设计目标,所以在晶体管级进行低功耗设计方法研究、具有重要的理论意义与应用价值.这方面的研究难点在于:(1)如何在晶体管级,对纳米工艺电路性能进行高效的模拟<sup>[64]</sup>.(2)如何对电路进行更为高效的低功耗优化<sup>[65]</sup>.

由于 IC 低功耗统计设计算法需要更为高效的电路时延和功耗分析算法,所以如何提高电路时延和功耗统计分析的效率,不仅是电路时延和功耗统计分析领域的研究方向,也是电路低功耗设计统计方法进一步发展的关键,也是晶体管级低功耗设计方法研究能否采用统计式方法的关键.我们目前的研究表明:以灵敏度为依据进行电路优化、可以大大提高优化的效率<sup>[64]</sup>.

同时由于电路设计的限制,芯片工作频率的提

高近两年来踏步不前,提高不大,芯片性能的提高更多地依靠多核并行运算和系统芯片(SOC)技术<sup>[1]</sup>.在多核并行运算的大前提下,如何进行诸如动态电压管理等高层功耗优化,是一个有希望的研究领域<sup>[1,23-24]</sup>,而 SOC 技术为 3 维(3D)布局布线及 3D 热分析和散热方面的研究,则提供了大量的研究课题<sup>[1,19,25]</sup>.

#### 5 结 论

本文对集成电路设计领域的两个热点问题:低功耗设计和工艺参数变化进行了全面而系统的论述,不仅分析了高功耗和较大工艺参数变化的组成、对集成电路设计的影响,而且还根据最新文献和作者的研究工作,对这两个领域的研究现状进行评述,并对未来的研究热点进行了简单的预测.本文论述具有全面、系统、参考文献新等特点,能够给集成电路设计与研究人员提供价值较高的参考,促进集成电路研发水平的提高.

#### 参 考 文 献

- [1] Chou S-L. Integration and Innovation in the Nanoelectronics Era//Proceedings of the ISSCC. San Francisco, 2005. Piscataway: IEEE Press, 2005: 36-41
- [2] International Technology Roadmap for Semiconductors (ITRS). <http://public.itrs.net/>, 2004
- [3] Luo Zu-Ying, Hong Xian-Long. Chip power and Moore law ending//Proceedings of the NSFC High-Level Symposium on Challenges in Computer Science. Xiamen, China, 2003. <http://dragonstar.ict.ac.cn/ppt.htm>(in Chinese)  
(骆祖莹,洪先龙. 芯片功耗与摩尔定律的终结//国家自然科学基金委信息学部“计算机科学面临的挑战”高层研讨会. 中国,厦门, 2003. <http://dragonstar.ict.ac.cn/ppt.htm>)
- [4] Karnik T, Borkar S, De V. Sub-90nm technologies — challenges and opportunities for CAD//Proceedings of the ICCAD. San Jose, 2002. Piscataway: IEEE Press, 2002: 203-207
- [5] Puri R, Stok L, Bhattacharya S. Keeping hot chips cool//Proceedings of the 42nd DAC. Anaheim, 2005. New York: ACM Press, 2005: 285-288
- [6] Nassif S. Delay variability: Sources, impacts and trends//Proceedings of the ISSCC. San Francisco, 2000. Piscataway: IEEE Press, 2000: 368-369
- [7] Samaan S B. The impact of device parameter variation on the frequency and performance of VLSI chips//Proceedings of the ICCAD. San Jose, 2004. Piscataway: IEEE Press, 2004: 343-346

- [8] Zuchowski P S, Habitz P A, Hayes J D et al. Process and environmental variation impacts on ASIC timing//Proceedings of the ICCAD. San Jose, 2004. Piscataway; IEEE Press, 2004; 336-342
- [9] Luo Z-Y, Min Y-H, Yang S-Y, Li X-W. The monotonic increasing relationship between average powers of CMOS VLSI circuits with and without delay and its applications. Science in China F Series, 2002, 45(6): 401-415
- [10] Rossello J L, Segura J. Power-delay modeling of dynamic CMOS gates for circuit optimization//Proceedings of the ICCAD. San Jose, 2001. Piscataway; IEEE Press, 2001; 494-499
- [11] Xu Yong-Jun, Zhen Zhi-Guo, Luo Zu-Ying, Li Xiao-Wei. Leakage current simulator for deep sub-micron CMOS circuits. Chinese Journal of Computer Research and Development, 2004, 41(5): 880-885(in Chinese)  
(徐勇军, 陈治国, 骆祖莹, 李晓维. 深亚微米 CMOS 电路漏电流快速模拟器. 计算机研究与发展, 2004, 41(5): 880-885)
- [12] Xu Y-J, Luo Z-Y, Chen Z.-G, Li X-W. A maximum total leakage current estimation method//Proceedings of the ISCAS. Vancouver, 2004. Piscataway; IEEE Press, 2004; II757- II760
- [13] Mukhopadhyay S, Raychowdhury A, Roy K. Accurate estimation of total leakage current in scaled CMOS logic circuits based on compact current modeling//Proceedings of the 40th DAC. Anaheim, 2003. New York; ACM Press, 2003; 169-174
- [14] Agarwal A, Kim C H, Mukhopadhyay S et al. Leakage in nano-scale technologies; Mechanisms, impact and design considerations//Proceedings of the 41st DAC. San Diego, 2004. New York; ACM Press, 2005; 6-11
- [15] Luo Z-Y, Cai Y-C, Tan X-D et al. Time-domain analysis methodology for large-scale RLC circuits and its applications. Science in China (F Series), 2006, 49(5): 665-680
- [16] Luo Z-Y. Efficient optimization methodology in early-stage design of mesh-structured on-chip power/ground(P/G) networks//Proceedings of the ICSICT. Shanghai, 2006. Piscataway; IEEE Press, 2006; 1911-1913
- [17] Fu J-J, Luo Z-Y, Hong X-L et al. VLSI on-chip power/ground network optimization considering decap leakage currents//Proceedings of the ASPDAC. Shanghai, 2005. Piscataway; IEEE Press, 2005; 735-738
- [18] Ferzli I A, Najm F N. Statistical verification of power grids considering process-induced leakage current variations//Proceedings of the ICCAD. San Jose, 2003. Piscataway; IEEE Press, 2003; 770-777
- [19] Wang T-Y, Lee Y-M, Chen C-P. 3D thermal-ADI—An efficient chip-level transient thermal simulator//Proceedings of the ISPD. Monterey, 2003. New York; ACM Press, 2003; 10-17
- [20] Kouroussis D, Ahmadi R, Najm F N. Worst-case circuit delay taking into account power supply variations//Proceedings of the 41st DAC. San Diego, 2004. New York; ACM Press, 2004; 652-657
- [21] Usami K, Horowitz M. Clustered voltage scaling technique for low-power design//Proceedings of the ISLPED. Dam Paidl, 1995; 3-8
- [22] Wang Q, Roy S. Power minimization by clock root gating//Proceedings of the 7th ASPDAC and the 15th VLSI Design. Bangalore, 2002. Piscataway; IEEE Press, 2002; 249-254
- [23] Seo J, Kim T, Chung K-S. Profile-based optimal intra-task voltage scheduling for hard real-time applications//Proceedings of the 41st DAC. San Diego, 2004. New York; ACM Press, 2004; 87-92
- [24] Zhu Y-K, Albonese D H. Localized micro-architecture-level voltage management//Proceedings of the ISCAS. Island of Kos, 2006. Piscataway; IEEE Press, 2006; 37-40
- [25] Poirier C, McGowen R, Bostak C. Power and temperature control on a 90nm Itanium -family processor//Proceedings of the ISSCC. San Francisco, 2005. Piscataway; IEEE Press, 2005; 304-305
- [26] Fishburn, Dunlop A, Tilos; A posynomial programming approach to transistor sizing//Proceedings of the ICCAD. San Jose, 1985. Piscataway; IEEE Press, 1985; 326-328
- [27] Duarte D, Tsui Y-F, Vijaykrishnan N et al. Evaluating runtime techniques for leakage power reduction//Proceedings of the 7th ASPDAC and the 15th VLSI Design. Bangalore, 2002; 31-38
- [28] Jayakumar N, Dhar S, Khatri S P. A selfadjusting scheme to determine the optimum RBB by monitoring leakage currents//Proceedings of the 42nd DAC. Anaheim, 2005. New York; ACM Press, 2005; 43-46
- [29] Ampadu P. Ultra-low voltage VLSI; Are we there yet? //Proceedings of the ISCAS. Island of Kos, 2006. Piscataway; IEEE Press, 2006; 21-24
- [30] Xu Y-J, Luo Z-Y, Chen Z-G et al. Minimum leakage pattern generation using stack effect//Proceedings of the ASIC-CON03. Beijing, 2003. Piscataway; IEEE Press, 2002; 1239-1242
- [31] Xu Yong-Jun, Luo Zu-Ying, Li Xiao-Wei, Li Hua-Wei. Optimization of static power for dual threshold CMOS circuits. Chinese Journal of Computer-Aided Design & Computer Graphics, 2003, 15(3): 264-269(in Chinese)  
(徐勇军, 骆祖莹, 李晓维, 李华伟. 双阈值 CMOS 电路静态功耗优化. 计算机辅助设计与图形学学报, 2003, 15(3): 264-269)
- [32] Wei L-Q, Chen Z-P, Roy K. Mixed-vth(mvt) CMOS circuit design methodology for low power applications//Proceedings of the 36th DAC. New Orleans, 1999. New York; ACM Press, 1999; 430-435
- [33] Wo Z-J, Koren I. Effective analytical delay model for transistor sizing//Proceedings of the 10th ASPDAC. Shanghai, 2005. Piscataway; IEEE Press, 2005; 387-392



- [34] Gupta P, Kahng A B, Sharma P et al. Selective gate-length biasing for cost-effective runtime leakage control//Proceedings of the 41st DAC. San Diego, 2004. New York: ACM Press, 2004: 327-330
- [35] Sirichoutiyakul S, Edwards T, Oh C-H. Stand-by power minimization through simultaneous threshold voltage selection and circuit sizing//Proceedings of the 36th DAC. New Orleans, 1999. New York: ACM Press, 1999: 436-441
- [36] Srivastava A, Sylvester D, Blaauw D. Power minimization using simultaneous gate sizing, dual-vdd and dual-vth assignment//Proceedings of the 41st DAC. San Diego, 2004. New York: ACM Press, 2004: 783-787
- [37] Lee D, Kwong W, Blaauw D et al. Analysis and minimization techniques for total leakage considering gate oxide leakage//Proceedings of the 40th DAC. Anaheim, 2003. New York: ACM Press, 2003: 175-180
- [38] Sultania A K, Sylvester D, Sapatnekar S S. Tradeoffs between gate oxide leakage and delay for dual  $T_{ox}$  Circuits//Proceedings of the 41st DAC. San Diego, 2004. New York: ACM Press, 2004: 761-766
- [39] Nguyen D, Davare A, Orshansky M. Minimization of dynamic and static power through joint assignment of threshold voltages and sizing optimization//Proceedings of the ISLPEd. Seoul, 2003. New York: ACM Press, 2003: 158-163
- [40] Gao F, Hayes J P. Total power reduction in CMOS circuits via gate sizing and multiple threshold voltages//Proceedings of the 42nd DAC. Anaheim, 2005. New York: ACM Press, 2005: 31-36
- [41] Long C-B, He L. Distributed sleep transistor network for power reduction//Proceedings of the 40th DAC. Anaheim, 2003. New York: ACM Press, 2003: 181-186
- [42] Ban Y-C, Choi S-H, Lee K-H. A fast lithography verification framework for litho-friendly layout design//Proceedings of the ISQED. San Jose, 2005. Piscataway: IEEE Press, 2005: 169-174
- [43] Kim C H, Roy K, Hsu S. An on-die CMOS leakage current sensor for measuring process variation in sub-90nm generations//Proceedings of the VLSI Symposium. Honolulu, 2004. Piscataway: IEEE Press, 2004: 250-251
- [44] Matsumoto T. High-resolution on-chip propagation delay detector for measuring within-chip and chip-to-chip variation//Proceedings of the VLSI Symposium. Honolulu, 2004. Piscataway: IEEE Press, 2004: 252-255
- [45] Orshansky M, Keutzer K. A general probabilistic framework for worst case timing analysis//Proceedings of the 39th DAC. New Orleans, 2002. New York: ACM Press, 2002: 556-561
- [46] Devgan A, Kashyap C. Block-based static timing analysis with uncertainty//Proceedings of the ICCAD. San Jose, 2003. Piscataway: IEEE Press, 2003: 607-614
- [47] Chang H-L, Sapatnekar S S. Statistical timing analysis considering spatial correlations using a single pert-like traversal//Proceedings of the ICCAD. San Jose, 2003. Piscataway: IEEE Press, 2003: 621-625
- [48] Le J-Y, Li X, Pileggi L T. STAC: Statistical timing analysis with correlation//Proceedings of the 41st DAC. San Diego, 2004. New York: ACM Press, 2004: 343-348
- [49] Najm F N, Menezes N. Statistical timing analysis based on a timing yield model//Proceedings of the 41st DAC. San Diego, 2004. New York: ACM Press, 2004: 460-465
- [50] Zhang L-Z, Chen W-J, Hu Y-H et al. Correlation-preserved non-Gaussian statistical timing analysis with quadratic timing model//Proceedings of the 42nd DAC. Anaheim, 2005. New York: ACM Press, 2005: 83-88
- [51] Chang H-L, Zolotov V, Narayan S et al. Parameterized block-based statistical timing analysis with non-Gaussian parameters, nonlinear delay functions//Proceedings of the 42nd DAC. Anaheim, 2005. New York: ACM Press, 2005: 71-76
- [52] Srivastava A, Bai R, Blaauw D et al. Modeling and analysis of leakage power considering within-die process variations//Proceedings of the ISLPEd. Monterey, 2002. New York: ACM Press, 2002: 64-67
- [53] Rao R, Srivastava A, Blaauw D et al. Statistical estimation of leakage current considering inter and intra-die process variations//Proceedings of the ISLPEd. Seoul, 2003. New York: ACM Press, 2003: 84-89
- [54] Borkar S, Karnik T, Narendra S et al. Parameter variation and impact on circuits and micro-architecture//Proceedings of the 40th DAC. Anaheim, 2003. New York: ACM Press, 2003: 338-342
- [55] Chang H-L, Sapatnekar S S. Full-chip analysis of leakage power under process variation//Proceedings of the 42nd DAC. Anaheim, 2005. New York: ACM Press, 2005: 523-528
- [56] Bai X-L, Visweswariah C, Strenski P N et al. Uncertainty aware circuit optimization//Proceedings of the 39th DAC. New Orleans, 2002. New York: ACM Press, 2002: 58-63
- [57] Naffziger, Chen T. Comparison of adaptive body bias and adaptive supply voltage for improving delay and leakage under the presence of process variation. IEEE Transactions on VLSI Systems, 2003, 11(5): 888-899
- [58] Neau C, Roy K. Optimal body bias selection for leakage improvements and process compensation over different technology generations//Proceedings of the ISLPEd. Seoul, 2003. New York: ACM Press, 2003: 116-121
- [59] Choi S-H, Paul B C, Roy K. Novel sizing algorithm for yield improvement under process variation in nanometer technology//Proceedings of the 41st DAC. San Diego, 2004. New York: ACM Press, 2004: 454-459
- [60] Srivastava A, Sylvester D, Blaauw D. Statistical optimization of leakage power considering process variations using dual-vth and sizing//Proceedings of the 41st DAC. San Diego, 2004. New York: ACM Press, 2004: 773-778

- [61] Azizi N, Khellah M M, De V et al. Variations-aware low-power design with voltage scaling//Proceedings of the 42nd DAC. Anaheim, 2005. New York: ACM Press, 2005; 529-534
- [62] Bhardwaj S, Vruthula S B K. Leakage minimization of nanometer circuits in the presence of systematic and random variations//Proceedings of the 42nd DAC. Anaheim, 2005. New York: ACM Press, 2005; 541-546
- [63] Srivastava A, Shah S, Agarwal K et al. Accurate and efficient gate-level parametric yield estimation considering correlated variations in leakage power and performance//Proceedings of the 42nd DAC. Anaheim, 2005. New York: ACM Press, 2005; 535-540
- [64] Luo Z-Y. General transistor-level methodology on VLSI low-power design//Proceedings of the ACM GLSVLSI. Philadelphia, 2006. New York, ACM Press, 2006; 115-118
- [65] Luo Zuo-Ying, Zhong Yan-Qing. Transistor-level delay simulation methodology for VLSI analysis. Chinese Journal of Computer-Aided Design & Computer Graphics, 2006, 18(12); 1855-1860(in Chinese)  
(骆祖莹, 钟燕清. VLSI 晶体管级时延模拟方法. 计算机辅助设计与图形学学报, 2006, 18(12); 1855-1860)



**LUO Zu-Ying**, born in 1968, Ph.D., associate professor. His research interests include low-power design, low-power testing, power distribution network design, 3-D thermal analysis of VLSI chips.

#### Background

With scaling IC into nanometer regime, high power consumption becomes the earmark of high-end chips such as CPU and GPU owing to high work frequency and high integrations, which in turn erodes the chip performance. Thus low-power design methodology is needed to reduce power for guaranteeing the performance and each year thousands of papers are published on this topic. In general, low-power design methodology includes the sub-topics: static timing analysis (STA), power analysis (PA), and low-power optimiza-

tion (LPO). Another by-product of nanometer technology is rampant process variations (PV) that impacts visible influences on STA, PA, and LPO. In recent years, nearly half of papers published on DAC and ICCAD are on how to estimate and manage PV influences which consists of the main part of DFM (Design for Manufacturing). Based on what he has done on low-power design, the author writes this article to let his compatriot scholars to care these two problems and do more academic research on these topics.